

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 8 日
Date of Application:

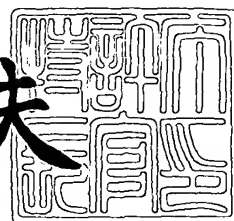
出 願 番 号 特 願 2 0 0 2 - 3 1 3 5 3 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 3 5 3 0]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 8 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 2 1 2

【書類名】 特許願

【整理番号】 02J02803

【提出日】 平成14年10月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 木村 敏夫

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 土津田 義久

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び積層型半導体装置

【特許請求の範囲】

【請求項 1】

半導体チップの表裏間を貫通する多数個の同一断面積の貫通電極を備えるとともに、

上記貫通電極は、同一信号に対してその流れる電流値の大きさに応じて複数個使用されていることを特徴とする半導体装置。

【請求項 2】

前記貫通電極のうち少なくとも 1 種類は、半導体チップと電氣的に接続される接続用貫通電極であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記貫通電極のうち少なくとも 1 種類は、半導体チップと電氣的に接続されないスルー用貫通電極であることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

半導体チップのグランド端子又は電源端子に接続された貫通電極の個数は、他の信号端子に接続された貫通電極の個数よりも多く使用されていることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

請求項 1～4 のいずれか 1 項に記載の半導体装置が複数積層されていることを特徴とする積層型半導体装置。

【請求項 6】

上下に n 個 (n は 2 以上の整数) 連続して隣接する前記半導体装置間を接続するための貫通電極の個数よりも、上下に $(n+1)$ 個 (n は 2 以上の整数) 以上連続して隣接する前記半導体装置間を接続するための貫通電極の個数の方が多く使用されていることを特徴とする請求項 5 記載の積層型半導体装置。

【請求項 7】

複数の半導体装置の積層による接続距離の長さに伴って、貫通電極の個数が多く使用されていることを特徴とする請求項 5 記載の積層型半導体装置。

【請求項 8】

複数の半導体装置の積層による接続距離に比例して、貫通電極の個数が多く使用されていることを特徴とする請求項 7 記載の積層型半導体装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、貫通電極を有する半導体装置、及びこの半導体装置を複数個積層することにより、高機能化、小型化及び薄型化を図るための積層型半導体装置に関するものである。

【0002】**【従来の技術】**

近年、電子機器の小型化の要求に対応するものとして、また、組立工程の自動化に適合するものとして、CSP (Chip Size Package) 型半導体装置が広く用いられている。

【0003】

図 15 は、従来の CSP 型半導体装置 100 の断面構造の一例を示している。上記 CSP 型半導体装置 100 では、半導体チップ 101 の周辺に設けられた電極パッド 102 から Au ワイヤ 103 を介して回路基板であるインターポーザ基板 104 に電気的な接続が行われ、インターポーザ基板 104 の裏面に設けられた外部取り出し電極 105 を介して、図示しない外部機器に接続されるようになっている。

【0004】

Au ワイヤ 103 によるワイヤボンディングによって、半導体チップ 101 に形成されている電極パッド 102 とインターポーザ基板 104 との電気的な接続が行われる。このため、Au ワイヤ 103 の高さ分だけ高くなり、さらに Au ワイヤ 103 の保護のためにモールド樹脂 106 による封止が必要となるため、CSP 型半導体装置 100 の薄型化が図り難いという問題点を有している。

【0005】

また、この問題を解決するために、図 16 (a) に示す FCB (Flip Chip Bo

nding)タイプのもので、図16(b)に示す貫通電極を有するもの等がある。これらのCSP型半導体装置では、ワイヤを不要とすることによって半導体装置の薄型化を図ることができる。

【0006】

図16(a)に示すFCBタイプの半導体装置200では、半導体チップ201は、電極パッド202上に形成された突起電極203を介して、インターポーザ基板204の接続パッド205と電氣的に接続されている。この時、半導体チップ201の回路形成面206とインターポーザ基板204とは対向する向きに接続され、回路形成面206とインターポーザ基板204との間には、半導体チップ201の保護と接続部の保護とのために封止樹脂207にて封止されている。

【0007】

また、図16(b)に示す貫通電極により電氣的接続が行われた半導体装置210では、半導体チップ211に形成された貫通電極212とインターポーザ基板213に形成された接続パッド214とは、突起電極215を介して電氣的に接続されている。必要に応じて、半導体チップ211とインターポーザ基板213との界面に、封止樹脂216を注入し封止することも可能である。この場合、半導体チップ211の回路形成面217は上向きである。

【0008】

最近では、これらの半導体装置において、例えば特許文献1～特許文献3に開示されているように、実装効率を高めるために、半導体装置としてのフィルムキャリア半導体モジュールを複数積み重ねて、電氣的に接続したマルチチップ半導体装置が提案されている。

【0009】

上記の特許文献1に記載のマルチチップ半導体装置300は、図17に示すように、3つの半導体装置301a・301b・301cが下から順に積層されている。各半導体装置301a・301b・301cは、それぞれ、大きく分けて、素子がそれぞれ集積形成されたシリコン基板302・302・302と、集積形成された素子を所定の関係に接続するための多層配線層303・303

・ 303 と、これら各多層配線層 303 の層間絶縁膜 304 及び各シリコン基板 302 を貫通する貫通口 305 内に形成され、各半導体装置 301a・301b 及び半導体装置 301b・301c 同士を電氣的に接続するための接続プラグである貫通電極 306 及び開口絶縁膜 307 とから構成されている。上記貫通電極 306…は、グランド端子や電源端子、及びその他の信号端子等の外部接続用端子に利用されるものであり、各半導体装置 301a・301b・301c 毎に、各用途に応じて複数設けられている。また、各シリコン基板 302 の裏面における上記貫通電極 306 以外の領域は裏面絶縁膜 308 にて被覆されている。

【0010】

また、各半導体装置 301a・301b・301c の各多層配線層 303 には、上記金属プラグ 306 に電氣的に接続された電極パッド 309 がそれぞれ設けられている。そして、半導体装置 301a の貫通電極 306 は、電極パッド 309 及びバンプ 310 を介して半導体装置 301b の貫通電極 306 に接続されるとともに、半導体装置 301b の貫通電極 306 は、電極パッド 309 及び半田バンプ 310 を介して半導体装置 301c の貫通電極 306 に接続されている。

【0011】

これにより、各半導体装置 301a・301b・301c は、相互に電氣的に接続されていることになり、積層型半導体装置が完成される。

【0012】

ところで、上記従来の積層型半導体装置では、上下間の電氣的導通をとる場合、同一信号端子は同じ端子位置にて上下間の電氣的導通を確保している。

【0013】

【特許文献 1】

特開平 10-223833 号公報（1998 年 8 月 21 日公開）

【0014】

【特許文献 2】

特許第 3186941 号公報（2001 年 5 月 11 日発行）

【0015】

【特許文献 3】

US特許第6,184,060号明細書(2001年2月6日登録)

【0016】

【発明が解決しようとする課題】

しかしながら、上記従来の貫通電極を形成した積層型半導体装置では、貫通電極の断面広さは、その機能に応じた配慮はされておらず、全て同じ大きさである。すなわち、グランド端子や電源端子等の、他の信号端子と比較して大きな電流が流れる端子でも、他の信号端子と同じ大きさであった。このため、電流を多く流す必要がある端子では、発熱・遅延等が発生するという問題点を有している。

【0017】

また、貫通電極を形成した半導体装置を複数個積層した場合、積層数が増加するに伴い、上層の半導体装置から下層の半導体装置まで接続する必要がある端子は、貫通電極の接続距離が長くなることによって、電極の抵抗による電圧降下や発熱、遅延及びロスが発生するという問題点を有している。

【0018】

さらに、様々な接続距離の貫通電極が混在することにより、電極の抵抗値がばらついてしまうという問題点を有している。

【0019】

一方、この問題に対して、電流を多く流す貫通電極の断面積を大きくすることが考えられるが、そのためには、貫通電極形成のための開口径を大きくする必要がある。しかし、貫通電極の開口径について大小の種類を設けると、エッチングレートに差違が発生し、エッチング深さにバラツキが生じる。その結果、半導体ウエハの裏面研磨を行う場合に、シリコン(Si)だけでなく、貫通電極に使用される金属も研磨しなければならないので、シリコン(Si)に過度の応力が加わり、裏面研磨を円滑に行うことが困難であるという問題点を有している。

【0020】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を簡易に防止し得る半導体装置及び積層型半導体装置を提供することにある。

【0021】

【課題を解決するための手段】

本発明の半導体装置は、上記課題を解決するために、半導体チップの表裏間を貫通する多数個の同一断面積の貫通電極を備えるとともに、上記貫通電極は、同一信号に対してその流れる電流値の大きさに応じて複数個使用されていることを特徴としている。

【0022】

上記の発明によれば、各貫通電極は、同一断面積を有しているとともに、電流を多く流す必要がある場合には、その流れる電流値の大きさに応じて貫通電極が複数個使用されている。これにより、貫通電極の断面積を相対的に大きくすることができ、その結果、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0023】

一方、電流値の大きさに応じて貫通電極の断面積を増加させるために、貫通電極の開口径について大小の種類を設けると、エッチングレートに差違が発生し、エッチング深さにバラツキが生じる。その結果、半導体ウエハの裏面研磨を行う場合に、貫通電極に使用される金属も研磨しなければならないので、シリコン（Si）に過度の応力が加わり、裏面研磨を円滑に行うことが困難であるという問題が生じる。

【0024】

この点、本発明では、同一断面積の貫通電極を使用しているので、このような問題も発生しない。

【0025】

したがって、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を簡易に防止し得る半導体装置を提供することができる。

【0026】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップに電氣的に接続される接続用貫通電極

であることを特徴としている。

【0027】

上記の発明によれば、半導体チップ1に電氣的に接続される接続用貫通電極について、電流を多く流す必要がある端子の貫通電極の個数を増やし、相対的に断面積を大きくすることによって、半導体チップを効率的に作動させることができる。

【0028】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップに電氣的に接続されないスルー用貫通電極であることを特徴としている。

【0029】

上記の発明によれば、貫通電極として、半導体チップに電氣的に接続されないスルー用貫通電極が設けられることになる。

【0030】

したがって、半導体装置に発生する熱をスルー用貫通電極を介して外部に逃すことができる。

【0031】

また、本発明の半導体装置は、上記記載の半導体装置において、半導体チップのグランド端子又は電源端子に接続された貫通電極の個数は、他の信号端子に接続された貫通電極の個数よりも多く使用されていることを特徴としている。

【0032】

すなわち、半導体チップのグランド端子又は電源端子は、他の信号端子に比べて大きい電流が流れる。

【0033】

この点、本発明では、半導体チップのグランド端子又は電源端子に接続された貫通電極の個数は、他の信号端子に接続された貫通電極の個数よりも多く使用されている。

【0034】

したがって、電流を多く流す必要がある半導体チップのグランド端子又は電源

端子の貫通電極の個数を増やして、相対的に断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0035】

また、本発明の積層型半導体装置は、上記記載の半導体装置が複数積層されていることを特徴としている。

【0036】

上記の発明によれば、上記記載の半導体装置が複数積層されている。したがって、長距離接続が必要な貫通電極の個数を距離に応じて多くして相対的な断面積を大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することが可能となる。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0037】

また、貫通電極の一部を、半導体チップに電氣的に接続されないスルー用貫通電極とすることによって、上層の半導体装置から下層の半導体装置まで貫通して電流を流すことができる。

【0038】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、上下に n 個 (n は 2 以上の整数) 連続して隣接する前記半導体装置間を接続するための貫通電極の個数よりも、上下に $(n+1)$ 個 (n は 2 以上の整数) 以上連続して隣接する前記半導体装置間を接続するための貫通電極の個数の方が多く使用されていることを特徴としている。

【0039】

上記の発明によれば、接続する積層半導体装置の段数に応じて貫通電極の個数が多くなる。

【0040】

このため、貫通電極の相対的な断面積を、接続距離に応じて大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することができる。

【0041】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離の長さに伴って、貫通電極の個数が多く使用されていることを特徴としている。

【0042】

上記の発明によれば、貫通電極の相対的な断面積は、複数の半導体装置の積層による接続距離の長さに伴って大きく形成されることになる。このため、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る積層型半導体装置を提供することができる。

【0043】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離に比例して、貫通電極の個数が多く使用されていることを特徴としている。

【0044】

上記の発明によれば、複数の半導体装置の積層による接続距離に比例して、貫通電極の個数が多く使用されているので、貫通電極の個数ひいては断面積の決定を容易に行うことができる。

【0045】**【発明の実施の形態】****〔実施の形態1〕**

本発明の実施の一形態について図1ないし図9に基づいて説明すれば、以下の通りである。

【0046】

図1(a)は、本実施の形態の半導体装置10を示す平面図である。上記半導体装置10における半導体チップ1の周辺部分には、この半導体チップ1の表裏を貫通する貫通電極8が複数形成されている。

【0047】

ここで、本実施の形態では、図1(a)(b)に示すように、これら各貫通電極8…は、同一の断面積を有するものとなっているとともに、同一信号に対して

その流れる電流値の大きさに応じて複数個使用されるようになっている。

【0048】

すなわち、半導体装置 10 の貫通電極 8 は、電源用貫通電極 8 a、グランド用貫通電極 8 b 及び信号用貫通電極 8 c の 3 種類に大別されるとともに、これら電源用貫通電極 8 a 及びグランド用貫通電極 8 b の断面積と信号用貫通電極 8 c として使用される貫通電極 8…の個数がそれぞれ異なっている。具体的には、電源用貫通電極 8 a は 3 個の貫通電極 8…が接続されており、グランド用貫通電極 8 b は 2 個の貫通電極 8…が接続されており、信号用貫通電極 8 c は 1 個の貫通電極 8 からなっている。この結果、電源用貫通電極 8 a 及びグランド用貫通電極 8 b は、信号用貫通電極 8 c に比べて貫通電極 8 の使用個数が多くなっている。

【0049】

この理由は、電源用貫通電極 8 a 及びグランド用貫通電極 8 b には、信号用貫通電極 8 c に比べて、大きな電流値が流れるので、この大きな電流値が流れる電源用貫通電極 8 a 及びグランド用貫通電極 8 b では貫通電極 8…の使用個数を多くすることにより、相対的な断面積の大きさを、これよりも小さな電流値が流れる信号用貫通電極 8 c の断面積の大きさよりも大きくしたものである。なお、上記の例では、貫通電極 8 の使用個数として、電源用貫通電極 8 a : グランド用貫通電極 8 b : 信号用貫通電極 8 c = 3 : 2 : 1 としているが、必ずしもこれに限らず、電源用貫通電極 8 a、グランド用貫通電極 8 b、及び信号用貫通電極 8 c に対して、この貫通電極 8 に流れる電流の大きさに伴って、貫通電極 8 の使用個数を多くし、大きい断面積を有するようにすることが可能である。なお、上記の例では、貫通電極 8 は矩形に形成されているが、必ずしもこれに限らず、円形その他の形状であってもよい。

【0050】

このように、電流を多く流す必要がある端子の貫通電極 8 の個数を多くすることによって、電極端子の面積を相対的に大きくし、その結果、電源用貫通電極 8 a 及びグランド用貫通電極 8 b の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0051】

上記の半導体装置 10 では、図 2 に示すように、上記半導体チップ 1 に形成された図示しない素子領域から配線パターンが延びており、この配線パターンは電極パッド 7 にて貫通電極 8 に接続されている。すなわち、半導体チップ 1 内には、図示しないが、素子領域から延びる無数の微細な配線が配線パターンとして走っている。上記の電極パッド 7 は、上記の配線パターンの中で外部との電氣的なやり取りを行うために、配線パターンの先端に設けられかつ半導体チップ 1 の周辺に配置されている比較的大きな電極端子をいう。なお、従来は、この電極パッド 7 からワイヤーボンドが行われていた。

【0052】

上記の貫通電極 8 はインターポーザ基板 30 の裏面に設けられた外部取り出し電極 31 に電氣的に接続されるようになっている。すなわち、インターポーザ基板 30 の裏面には、外部取り出し電極 31 が複数形成されており、これら外部取り出し電極 31 は、インターポーザ基板 30 の内部に形成された図示しないビアホールによって、表面に形成された複数の接続パッド 32 に電氣的に接続されている。これら接続パッド 32 は、上記半導体装置 10 の貫通電極 8 の平面位置と同じ領域に設けられており、これによって、接続パッド 32 と電源用貫通電極 8a 及び信号用貫通電極 8c 等の貫通電極 8 とをバンプ 25 にて接続することにより、半導体装置 10 の貫通電極 8 とインターポーザ基板 30 の裏面に露出して形成された接続パッド 32 とが電氣的に接続される。この結果、半導体チップ 1 の素子領域が外部取り出し電極 31 にまで電氣的に接続されることになり、この外部取り出し電極 31 を例えば他の図示しないプリント基板の電源等に接続することができる。

【0053】

なお、上記の説明では、半導体装置 10 の貫通電極 8 は、下側に設けられるインターポーザ基板 30 にバンプ 25 を介して接続されるものとなっているが、必ずしもこれに限らず、貫通電極 8 の表面に例えばワイヤを接続することも可能である。

【0054】

また、上記インターポーザ基板 30 は、本実施の形態では、半導体装置 10 と

図示しない回路基板との間に入る中継用の基板として使用している。半導体装置 10 の電極パッド 7 のピッチは狭くて、回路基板やマザーボードの電極ピッチとは整合しないため、このインターポーザ基板 30 にてピッチ変換することができる。また、インターポーザ基板 30 は、このように半導体装置 10 の電極パッド 7 を再配置することができるとともに、半導体装置 10 と図示しない回路基板との間の応力緩和等にも役立つ。

【0055】

ここで、半導体装置 10 のチップサイズを最小にすることが、コストダウンのために重要であるため、通常、貫通電極 8 はできるだけ小さいことが望ましい。

【0056】

本実施の形態では、信号用貫通電極 8 c の大きさを $10\ \mu\text{m}$ 角としている。また、半導体装置 10 の厚みを $50\ \mu\text{m}$ と非常に薄くすることによって、小型、薄型化を達成している。なお、元の後述する半導体ウエハ 11 の厚みは $600\sim 700\ \mu\text{m}$ 程度であるが、一般的には、それを $300\sim 400\ \mu\text{m}$ 程度の厚みに研磨していることが多い。最近の CSP (チップサイズパッケージ) 等では $150\sim 200\ \mu\text{m}$ に研磨しているものもある。

【0057】

しかしながら、電源端子やグランド端子は電流が他の信号端子に比べて多く流れるために、配線抵抗はできるだけ小さいことが望ましい。その理由は、抵抗値が大きいと電圧降下や発熱、信号の遅延等が大きくなるためである。したがって、電源端子又はグランド端子に接続される電源用貫通電極 8 a 又はグランド用貫通電極 8 b の断面積を、他の信号端子に接続される信号用貫通電極 8 c の 2～5 倍程度に大きくすることが望ましい。

【0058】

本実施の形態では、電源端子及びグランド端子の抵抗値を低減するために、電源端子及びグランド端子に接続された電源用貫通電極 8 a 及びグランド用貫通電極 8 b の貫通電極 8 の使用個数を 3 個又は 2 個として、断面積のサイズを他の信号端子よりも相対的に大きくしている。

【0059】

これにより、大電流が流れるこれら電源端子及びグランド端子の配線抵抗が低減され、発熱や信号の遅延を低減することが可能となる。

【0060】

なお、上述の説明では、貫通電極 8 は、半導体チップ 1 に配されている電極パッド 7 に接続されたものとして説明しているが、必ずしもこれに限らない。すなわち、図 3 に示すように、例えば、貫通電極 8 のうち、半導体チップ 1 に配されている電極パッド 7 に接続されたものを接続用貫通電極 18 とする一方、半導体チップ 1 の電極パッド 7 に接続されないスルー用貫通電極 19 とすることができる。

【0061】

このように、半導体装置 10 において、スルー用貫通電極 19 を設けることによって、このスルー用貫通電極 19 を通して半導体装置 10 で発生する熱をインターポーザ基板 30 等の基板に逃がすことができるメリットがある。なお、スルー用貫通電極 19 の他の用途については、後述する実施の形態 2 及び実施の形態 3 にて詳述する。

【0062】

上記接続用貫通電極 18 及びスルー用貫通電極 19 を有する半導体装置 10 の製造方法について、図 4 ないし図 9 に基いて説明する。また、説明は主として貫通電極 8 の形成方法について行う。

【0063】

まず、シリコン (Si) からなる半導体ウエハ 11 の電極パッド 7 付近の断面構造を図 4 (a) に示す。

【0064】

この図 4 (a) に示すものは、シリコン (Si) からなる半導体ウエハ 11 の表面に、二酸化ケイ素 (SiO₂) からなる熱酸化膜 12 と、アルミニウム (Al) - シリコン (Si)、又はアルミニウム (Al) - 銅 (Cu) からなる電極パッド 7 とを形成し、さらに、これら熱酸化膜 12 と一部の電極パッド 7 の表面とを P-SiN からなる絶縁膜 13 で保護したものである。ここで、上記表面の前記絶縁膜 13 の厚みは、電極パッド 7 の上で例えば 0.7 μ m である。なお、上

記P-SiNからなる絶縁膜13は、シリコン(Si)と窒素(N)との化合物であり、「P」はプラズマの「P」である。このP-SiNからなる絶縁膜13は、比誘電率が7でありシリコン酸化膜(酸化膜=4)より高いので、パッシベーション膜等に使われる。P-SiNからなる絶縁膜13は、通常、炉での成長を行うが、電極パッド7がパターンニングされた後は、融点の問題で高温での処理ができなくなる。そこで、プラズマ放電をかけての成長を行う。本実施の形態では、炉成長よりも温度が低い分膜質は劣るが、酸化膜よりも比誘電率等が良いので使用しているものである。

【0065】

次いで、図4(b)に示すように、貫通電極8作成のための溝部9を作成するために、レジストを均一に塗布した後、縮小投影型露光機を使用して、電極パッド7内に上記溝部9のために開口して、電極パッド7を露出させる。

【0066】

次いで、図4(c)に示すように、ドライエッチングにて下層のアルミニウム(Al)-シリコン(Si)、又はアルミニウム(Al)-銅(Cu)からなる電極パッド7のエッチングを行い、腐食が発生しないように直ちに防腐蚀処理としてポリマー除去及び水洗処理を行う。続いて、熱酸化膜12をドライエッチングにてエッチングを行う。なお、このとき、ドライエッチャーでは異種の膜質を連続エッチングするので、使用ガス種の違いからなるチャンバー内の雰囲気や、特に金属腐食等を懸念してできるだけ大気に触れない理由から、マルチチャンバー型ドライエッチャーを使用するのが好ましい。

【0067】

次いで、半導体ウエハ11のシリコン(Si)基板までエッチングが到達した後、このシリコン(Si)基板をSi深堀用ドライエッチャーにて50 μ mから70 μ mのエッチングを行う。

【0068】

次いで、図4(d)に示すように、エッチング完了後、ポリマー除去を行い、レジスト剥離を行う。

【0069】

次いで、図5 (a) に示すように、絶縁膜成長設備にて側壁絶縁膜14を成長させる。この側壁絶縁膜14は、ウエハ表面にも成長するので、ドライエッチャーにてエッチバックを行い表面の側壁絶縁膜14を取り除く。このとき、スルー貫通電極19の溝部9は側壁絶縁膜14を残しておきたいので、図5 (b) に示すように、先に、フィルム型レジスト15を貼り付けた後に、縮小投影型露光機にてパターンニングしカバーする。その後、図5 (c) に示すように、表面の側壁絶縁膜14をエッチングで除去する。

【0070】

次いで、図5 (d) に示すように、フィルム型レジスト15を剥離した後、図6 (a) に示すように、バリアメタル16をスパッタし、図6 (b) に示すように、溝部9内とウエハ上部の再配線パターンの必要な部分を残してエッチングを行い、さらに、図6 (c) に示すように、無電解メッキ技術を使用して導体17を成長させる。

【0071】

次いで、図7 (a) に示すように、ウエハ表面の一部に残っている絶縁膜13をCMP (Chemical Mechanical Polish: 科学的機械的研磨) にて取り除き、その後、図7 (b) に示すように、導電膜20をスパッタし、抵抗の高い箇所及び接続距離の長い箇所は、貫通電極8をショートさせて抵抗を下げるようにするために、図7 (c) に示すように、レジスト21を塗布した後、図8 (a) に示すように、エッチングを行う。

【0072】

なお、上記のCMPとは、シリカ粒子を含んだ研磨液 (スラリー) をウエハ表面に流しながら、スピンドルに張り合わせたウエハを回転テーブル表面の研磨パッドに圧着させて研磨する方法である。スラリーで研磨すべき材料層表面を酸化するという科学的メカニズムと、酸化層を機械的に削り取るという機械的メカニズムの両方を利用するものであり、IC製造工程におけるウエハ表面の完全平坦化技術であって、絶縁膜系とメタル系の2つの応用分野がある。上記絶縁膜系CMPは層間絶縁膜の平坦化やSTIの埋め込み絶縁膜の形成に利用され、メタル系CMPはタングステンプラグ形成や銅のダマシンプロセスに利用されている。

【0073】

次いで、図8 (b) に示すように、レジスト21を剥離した後、図8 (c) に示すように、ウエハ表面に補強板22をUV接着シートにて貼り合わせ、半導体ウエハ11の裏面研磨を実施する。

【0074】

その結果、図8 (d) に示すように、貫通電極8の裏面側が露出された後、補強板22を取り除く。次いで、成長した導電膜20の上及び再配線にてショートさせた箇所の上にバンプ25を付けて完了する。

【0075】

なお、上記の例では、貫通電極8・8同士の接続のために、導電膜20を使用した。必ずしもこれに限らず、例えば、図9に示すように、金ワイヤバンプからなるバンプ25にて形成することが可能である。なお、このバンプ25の作成に際しては、周りが導体であることが必要である。

【0076】

このように、本実施の形態の半導体装置10では、各貫通電極8…は、同一断面積を有しているとともに、電流を多く流す必要がある場合には、その流れる電流値の大きさに応じて貫通電極8が複数個使用されている。これにより、貫通電極8の断面積を相対的に大きくすることができ、その結果、貫通電極8の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0077】

一方、電流値の大きさに応じて貫通電極8の断面積を増加させるために、貫通電極8の溝部9の開口面積について大小の種類を設けると、エッチングレートに差違が発生し、エッチング深さにバラツキが生じる。その結果、半導体ウエハ11の裏面研磨を行う場合に、貫通電極8に使用される金属も研磨しなければならないので、シリコン (Si) に過度の応力が加わり、裏面研磨を円滑に行うことが困難であるという問題が生じる。

【0078】

この点、本実施の形態では、同一断面積の貫通電極8を使用しているので、このような問題も発生しない。

【0079】

したがって、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を簡易に防止し得る半導体装置10を提供することができる。

【0080】

また、本実施の形態の半導体装置10は、貫通電極8…のうち少なくとも1種類は、半導体チップ1の電極パッド7を介して素子領域に電氣的に接続される接続用貫通電極18である。

【0081】

したがって、半導体チップ1に電氣的に接続される接続用貫通電極18について、電流を多く流す必要がある端子の貫通電極8の個数を増やし、相対的に断面積を大きくすることによって、半導体チップ1を効率的に作動させることができる。

【0082】

また、本実施の形態の半導体装置10は、貫通電極8のうち少なくとも1種類は、半導体チップの電極パッド7に接続されないスルー用貫通電極19であるので、貫通電極8として、半導体チップ1に接続されないスルー用貫通電極19が設けられることになる。したがって、半導体装置10に発生する熱をスルー用貫通電極19を介して外部に逃すことができる。

【0083】

ところで、グランド端子又は電源端子は、他の信号端子に比べて大きい電流が流れる。

【0084】

この点、本実施の形態では、半導体チップ1のグランド端子又は電源端子に接続された電源用貫通電極8aにおける貫通電極8の使用個数は、他の信号端子に接続された信号用貫通電極8cにおける貫通電極8の使用個数よりも多い。

【0085】

したがって、電流を多く流す必要がある半導体チップ1のグランド端子又は電源端子の電源用貫通電極8aの断面積を貫通電極8の個数を増やして相対的に大

きくすることによって、電源用貫通電極 8 a の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0086】

〔実施の形態 2〕

本発明の他の実施の形態について図 10 ないし図 13 に基いて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0087】

本実施の形態では、前記実施の形態 1 の半導体装置 10 が複数個としての 5 個積層された積層型半導体装置について説明する。

【0088】

上記構成の積層型半導体装置 40 では、図 10 に示すように、下側から順に、第 1 半導体装置 10 a、第 2 半導体装置 10 b、第 3 半導体装置 10 c、第 4 半導体装置 10 d、及び第 5 半導体装置 10 e の 5 段の半導体装置 10 が順に積層されている。

【0089】

上記の積層型半導体装置 40 では、同図において左から 1 番目、2 番目及び 5 番目の貫通電極 8 は信号用貫通電極 8 c として使用されているものであり、最上段の第 5 半導体装置 10 e から最下段の第 1 半導体装置 10 a まで各半導体装置 10 においてそれぞれ 1 個の貫通電極 8 によって電氣的に接続されている。

【0090】

一方、同図において左から 3 番目及び 4 番目の貫通電極 8 は、例えば、グランド用貫通電極 8 b として使用されているものであり、最上段の第 5 半導体装置 10 e から最下段の第 1 半導体装置 10 a まで各半導体装置 10 においてそれぞれ 2 個の貫通電極 8 によって電氣的に接続されている。

【0091】

すなわち、最上段の第 5 半導体装置 10 e においては、同図において左から 3

番目及び4番目の貫通電極8は、導電膜20及びバンプ25によって、電氣的に接続されている。

【0092】

また、上記の各半導体装置10a～10eの貫通電極8は、いずれも当該各半導体装置10a～10eの素子領域に電氣的に接続される接続用貫通電極18であり、それぞれ電極パッド7に接続されている。

【0093】

このように、全ての半導体装置10…における電極端子の位置が同一で揃っている場合には、このような形態をとることができる。

【0094】

しかしながら、上下の半導体装置10…の電極端子の位置がパターンレイアウト上揃わないときが多々発生する。

【0095】

そこで、本実施の形態では、その解決策として、図11に示すように、ウエハ裏面に再配線23を行い、問題を解決している。

【0096】

上記の再配線23の形成方法について、図12及び図13に基いて説明する。

【0097】

まず、図12(a)に示すように、ウエハ裏面の研磨完了後、補強板22を取り除く前の状態において、図12(b)に示すように、半導体ウエハ11の裏面に絶縁膜24の蒸着を行い、レジスト26を塗布した後、縮小投影型露光機を使用して貫通電極8の領域の絶縁膜24のエッチングを行う。

【0098】

次いで、図12(c)に示すように、バリアメタル27をスパッタし、再度、レジスト28を塗布した後、再配線23のための導電物を電解めっきする。電解めっき終了後、図12(d)に示すように、レジスト28の剥離を行い、図13(a)に示すように、薬品にて不必要なめっき部分を取り除き、図13(b)に示すように、その上から保護膜29をつけ、エッチングで開口する。その後、補強板22を剥がす。なお、図12(b)～(d)及び図13(a)(b)におい

ては、補強板 22 の記載を省略している。

【0099】

本実施の形態では、これにて完成とし、前記図 11 に示すように、バンプ 25 にて下層の半導体装置 10 に接続することができる。

【0100】

ただし、必ずしもこれに限らず、例えば、図 13 (c) に示すように、2 個の貫通電極 8・8 の上面をバンプ 25 にて接続することも可能である。

【0101】

このように、本実施の形態の積層型半導体装置 40 では、長距離接続が必要な貫通電極 8 の個数を距離に応じて多くして相対的な断面積を大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することが可能となる。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0102】

また、上記の例では、全て接続用貫通電極 18 を使用していたが、必ずしもこれに限らず、貫通電極 8 の一部を、半導体チップ 1 具体的には電極パッド 7 に接続しないことによって、素子領域に電氣的に接続されないスルー用貫通電極 19 とすることができる。

【0103】

これによって、上層の半導体装置 10 から下層の半導体装置 10 まで貫通して電流を流すことができる。

【0104】

〔実施の形態 3〕

本発明の他の実施の形態について図 14 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態 1 及び実施の形態 2 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0105】

本実施の形態では、複数の半導体装置 10 の積層による接続距離の長さに伴っ

て、貫通電極 8 の個数が多く使用される積層型半導体装置 50 について説明する。

【0106】

上記積層型半導体装置 50 は、図 14 に示すように、インターポーザ基板 30 上に、第 1 半導体装置 10 a、第 2 半導体装置 10 b、第 3 半導体装置 10 c、第 4 半導体装置 10 d、及び第 5 半導体装置 10 e の 5 段の半導体装置 10 が順に積層されている。

【0107】

同図に示すように、最下段の第 1 半導体装置 10 a からインターポーザ基板 30 の外部取り出し電極 31 までの配線距離に比べて、最上段の第 5 半導体装置 10 e からインターポーザ基板 30 の外部取り出し電極 31 までの接続距離は長くなっていることが分かる。

【0108】

すなわち、例えば、第 5 半導体装置 10 e の電極パッド 7 をインターポーザ基板 30 の外部取り出し電極 31 に接続する場合や、第 5 半導体装置 10 e を第 1 半導体装置 10 a の貫通電極 8 に接続する場合には配線距離が長くなり、配線抵抗が大きくなり、遅延や発熱を生じる問題がある。したがって、その場合には、できるだけ、配線抵抗は小さく、ばらつきの少ないことが望ましい。

【0109】

そこで、本実施の形態では、隣接する半導体装置 10…間を接続する貫通電極 8 と少なくとも 1 つの半導体装置 10 をスルーして接続する貫通電極 8 との配線抵抗値のばらつきをなくすために、貫通電極 8 の断面積の大きさを調整すべく、貫通電極 8 の使用個数を増やしている。つまり、複数の半導体装置 10…の積層による接続距離の長さに伴って、貫通電極 8 の個数が多く使用されている。

【0110】

一般化すると、上下に n 個 (n は 2 以上の整数) 連続して隣接する半導体装置 10…間を接続するための貫通電極 8 の使用個数よりも、上下に $(n+1)$ 個 (n は 2 以上の整数) 以上連続して隣接する半導体装置 10…間を接続するための貫通電極 8 の使用個数の方が多い。

【0111】

具体的には、インターポーザ基板 30 に接続する際、本実施の形態では、同じ厚みの半導体装置 10…を積層した場合、1つの半導体装置 10 の場合には1個の貫通電極 8 を使用するのに対して、隣接する2段の半導体装置 10・10 を接続するときには貫通電極 8 を2個使用し、隣接する3段の半導体装置 10・10・10 を接続するときには貫通電極 8 を3個使用し、隣接する4段の半導体装置 10・10・10・10 を接続するときには貫通電極 8 を4個使用し、隣接する5段の半導体装置 10・10・10・10・10 を接続するときには、貫通電極 8 を5個使用している。

【0112】

したがって、本実施の形態では、複数の半導体装置 10…の積層による接続距離に比例して、貫通電極 8…の使用個数が増加している。これにより、貫通電極 8…の配線抵抗値を揃えることができる。

【0113】

また、様々な厚みの半導体装置 10 を積層した場合も、貫通電極 8 の配線距離に比例して、使用個数を増加して断面積を相対的に大きくすれば、各端子間の抵抗ばらつきを低減することが可能となり、長距離配線の抵抗値を低減することが可能となる。

【0114】

さらに、半導体チップ 1 の電源端子及びグランド端子等は、数個の貫通電極 8 を使用し、相対的に断面積を大きく形成することによって、発熱や遅延等を低減することが可能となる。

【0115】

このように、本実施の形態の積層型半導体装置 50 では、上下に n 個 (n は 2 以上の整数) 連続して隣接する半導体装置 10…間を接続するための貫通電極 8 の個数よりも、上下に $(n+1)$ 個 (n は 2 以上の整数) 以上連続して隣接する半導体装置 10…間を接続するための貫通電極 8…の個数の方が多く使用されている。

【0116】

このため、接続する積層型半導体装置 50 の段数に応じて貫通電極 8 の個数が多くなる。この結果、貫通電極 8 の相対的な断面積を、接続距離に応じて大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することができる。

【0117】

また、本実施の形態の積層型半導体装置 50 では、貫通電極 8 の相対的な断面積は、複数の半導体装置 10…の積層による接続距離の長さに伴って大きく形成されることになる。このため、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る積層型半導体装置 50 を提供することができる。

【0118】

また、本実施の形態の積層型半導体装置 50 では、複数の半導体装置 10…の積層による接続距離に比例して、貫通電極 8 の個数が多く使用されているので、貫通電極 8 の個数ひいては断面積の決定を容易に行うことができる。

【0119】

なお、本発明は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的手段に含まれる。

【0120】

【発明の効果】

本発明の半導体装置は、以上のように、半導体チップの表裏間を貫通する多数個の同一断面積の貫通電極を備えるとともに、上記貫通電極は、同一信号に対してその流れる電流値の大きさに応じて複数個使用されているものである。

【0121】

それゆえ、貫通電極の断面積を相対的に大きくすることができ、その結果、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。

【0122】

また、本発明では、同一断面積の貫通電極を使用しているので、貫通電極の開

口径について大小の種類を設ける場合の問題も発生しない。

【0123】

したがって、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を簡易に防止し得る半導体装置を提供することができるという効果を奏する。

【0124】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップに電氣的に接続される接続用貫通電極である。

【0125】

それゆえ、半導体チップに電氣的に接続される接続用貫通電極について、電流を多く流す必要がある端子の貫通電極の個数を増やし、相対的な断面積を大きくすることによって、半導体チップを効率的に作動させることができるという効果を奏する。

【0126】

また、本発明の半導体装置は、上記記載の半導体装置において、前記貫通電極のうち少なくとも1種類は、半導体チップに電氣的に接続されないスルー用貫通電極である。

【0127】

それゆえ、半導体装置に発生する熱をスルー用貫通電極を介して外部に逃すことができるという効果を奏する。

【0128】

また、本発明の半導体装置は、上記記載の半導体装置において、半導体チップのグランド端子又は電源端子に接続された貫通電極の個数は、他の信号端子に接続された貫通電極の個数よりも多く使用されているものである。

【0129】

それゆえ、電流を多く流す必要がある半導体チップのグランド端子又は電源端子の貫通電極の個数を増やして、相対的な断面積を大きくすることによって、貫通電極の抵抗値を下げ、発熱・遅延等を低減することが可能である。また、端子

間の抵抗ばらつきを押さえることが可能となるという効果を奏する。

【0130】

また、本発明の積層型半導体装置は、上記記載の半導体装置が複数積層されているものである。

【0131】

それゆえ、長距離接続が必要な貫通電極の個数を距離に応じて多くして相対的な断面積を大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することが可能となる。また、端子間の抵抗ばらつきを押さえることが可能となる。

【0132】

また、貫通電極の一部を、半導体チップに電氣的に接続されないスルー用貫通電極とすることによって、上層の半導体装置から下層の半導体装置まで貫通して電流を流すことができるという効果を奏する。

【0133】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、上下に n 個 (n は 2 以上の整数) 連続して隣接する前記半導体装置間を接続するための貫通電極の個数よりも、上下に $(n+1)$ 個 (n は 2 以上の整数) 以上連続して隣接する前記半導体装置間を接続するための貫通電極の個数の方が多く使用されているものである。

【0134】

それゆえ、貫通電極の相対的な断面積を、接続距離に応じて大きくすることができ、これによって、電極の抵抗値を下げ、電圧降下や発熱、遅延、ロスを低減することができるという効果を奏する。

【0135】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離の長さに伴って、貫通電極の個数が多く使用されているものである。

【0136】

それゆえ、貫通電極の相対的な断面積は、複数の半導体装置の積層による接続

距離の長さに伴って大きく形成されることになる。このため、電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を防止し得る積層型半導体装置を提供することができるという効果を奏する。

【0137】

また、本発明の積層型半導体装置は、上記記載の積層型半導体装置において、複数の半導体装置の積層による接続距離に比例して、貫通電極の個数が多く使用されているものである。

【0138】

それゆえ、複数の半導体装置の積層による接続距離に比例して、貫通電極の個数が多く使用されているので、貫通電極の個数ひいては断面積の決定を容易に行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】

(a) は本発明における半導体装置の実施の一形態を示す平面図、(b) は上記半導体装置を示すA-A線断面図である。

【図2】

インターポーザ基板上に搭載した半導体装置を示す断面図である。

【図3】

接続用貫通電極の他に、スルー用貫通電極を備えた半導体装置を示す断面図である。

【図4】

(a) ~ (d) は、半導体装置の貫通電極の製造工程を示す断面図である。

【図5】

(a) ~ (d) は、半導体装置の貫通電極における図4の続きの製造工程を示す断面図である。

【図6】

(a) ~ (c) は、半導体装置の貫通電極における図5の続きの製造工程を示す断面図である。

【図7】

(a) ~ (c) は、半導体装置の貫通電極における図 6 の続きの製造工程を示す断面図である。

【図 8】

(a) ~ (d) は、半導体装置の貫通電極における図 7 の続きの製造工程を示す断面図である。

【図 9】

貫通電極に金バンプを形成した半導体装置を示す断面図である。

【図 10】

本発明における積層型半導体装置の実施の形態を示す断面図である。

【図 11】

上記積層型半導体装置において、上下の半導体装置における貫通電極の位置が揃っていない場合の該貫通電極の接続状態を示す断面図である。

【図 12】

(a) ~ (d) は、上記図 11 に示す積層型半導体装置の製造工程を示す断面図である。

【図 13】

(a) ~ (c) は、図 12 の続きの製造工程を示す断面図である。

【図 14】

本発明における積層型半導体装置の他の実施の形態を示す断面図である。

【図 15】

従来の半導体装置を示す断面図である。

【図 16】

従来の他の半導体装置を示す断面図である。

【図 17】

従来の積層型半導体装置を示す断面図である。

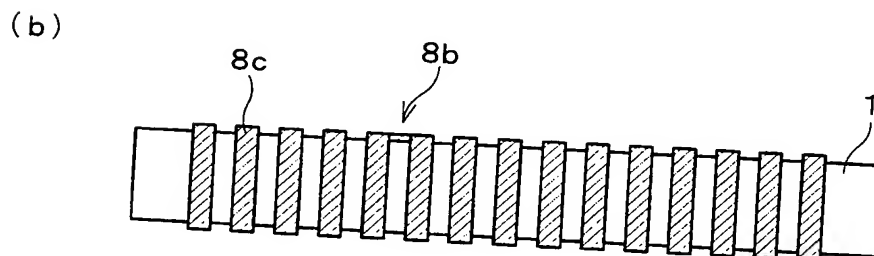
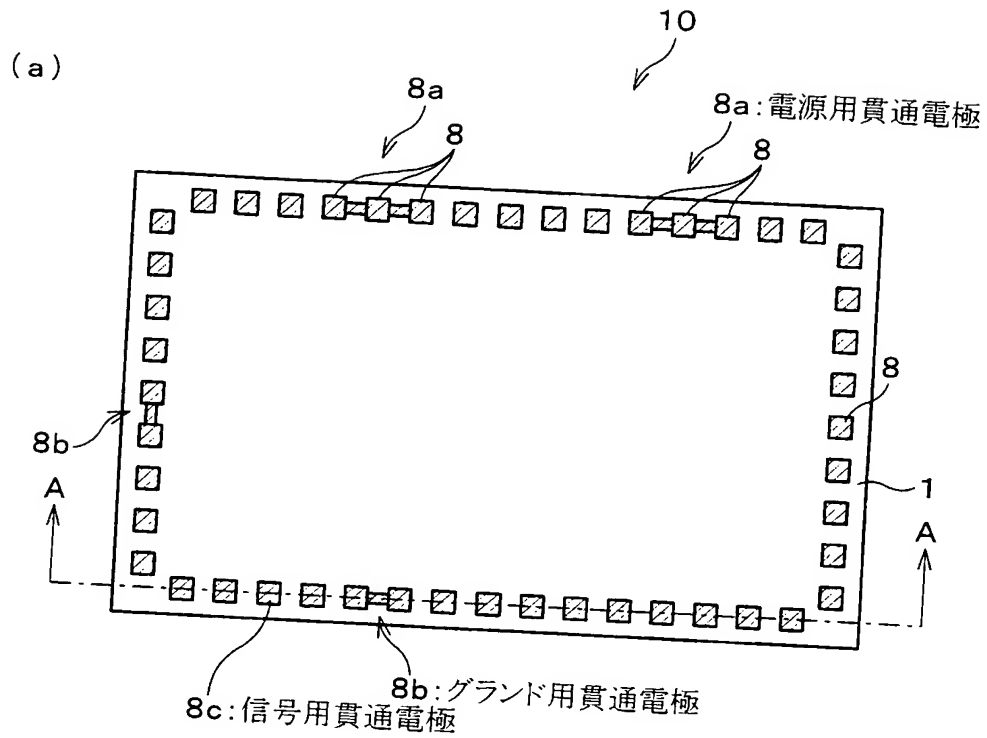
【符号の説明】

- 1 半導体チップ
- 7 電極パッド
- 8 貫通電極

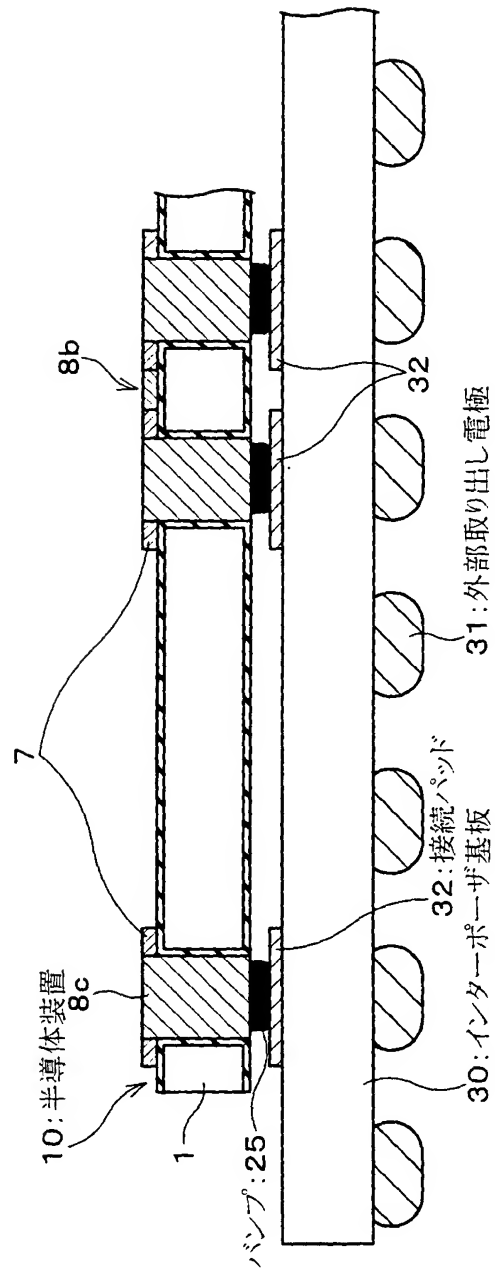
- 8 a 電源用貫通電極 (貫通電極)
- 8 b グランド用貫通電極 (貫通電極)
- 8 c 信号用貫通電極 (貫通電極)
- 1 0 半導体装置
- 1 1 半導体ウエハ
- 1 8 接続用貫通電極
- 1 9 スルー用貫通電極
- 2 5 バンプ
- 3 0 インターポーザ基板
- 3 1 外部取り出し電極
- 3 2 接続パッド
- 4 0 積層型半導体装置
- 5 0 積層型半導体装置

【書類名】 図面

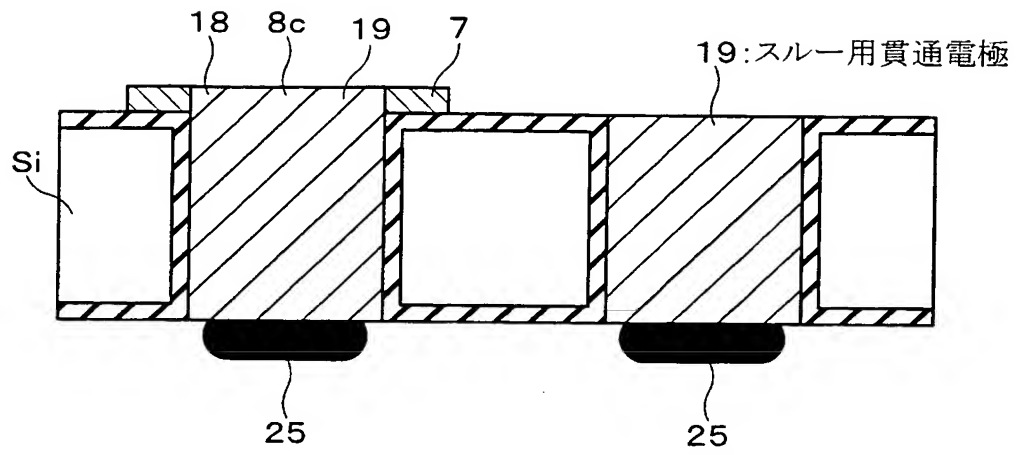
【図 1】



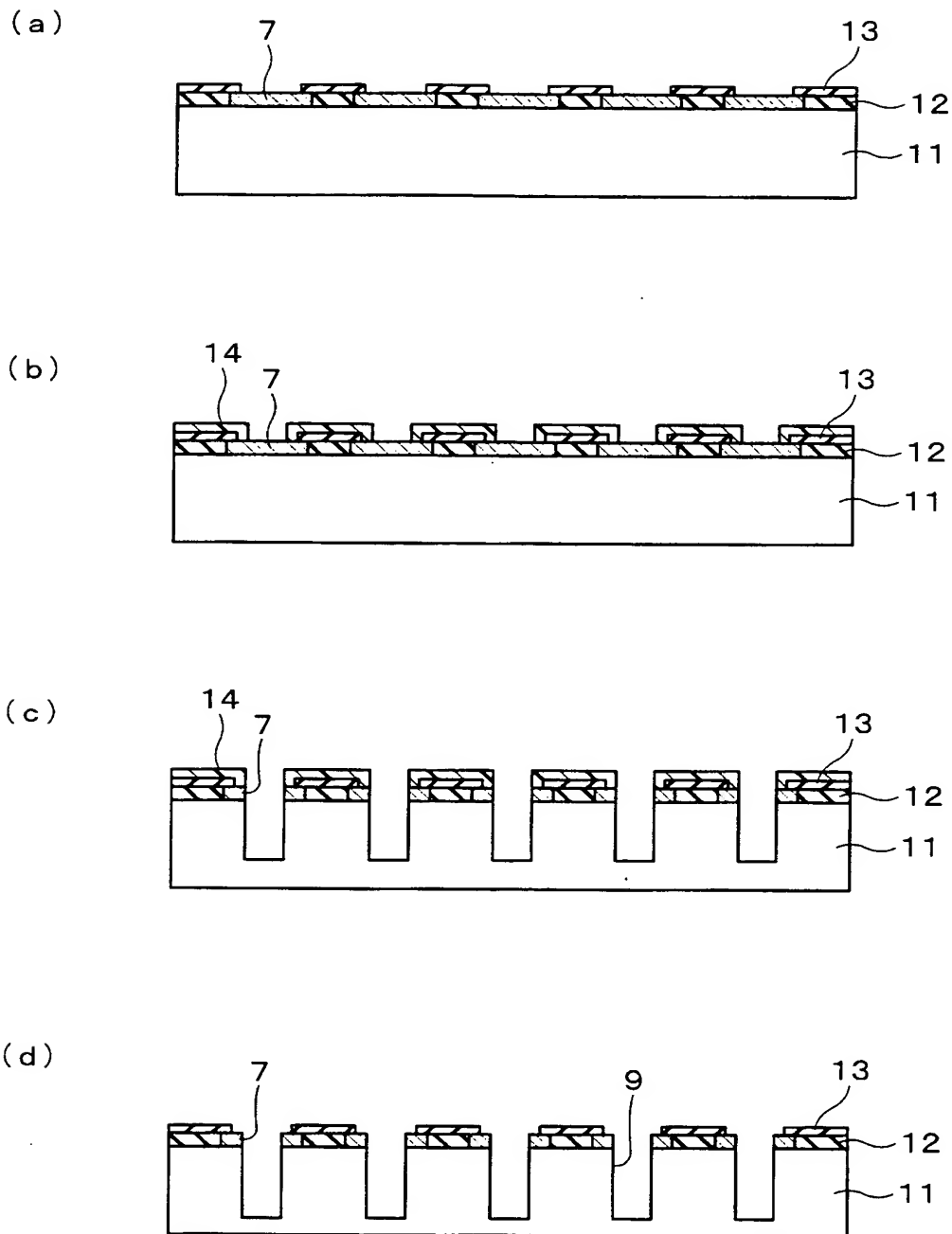
【图2】



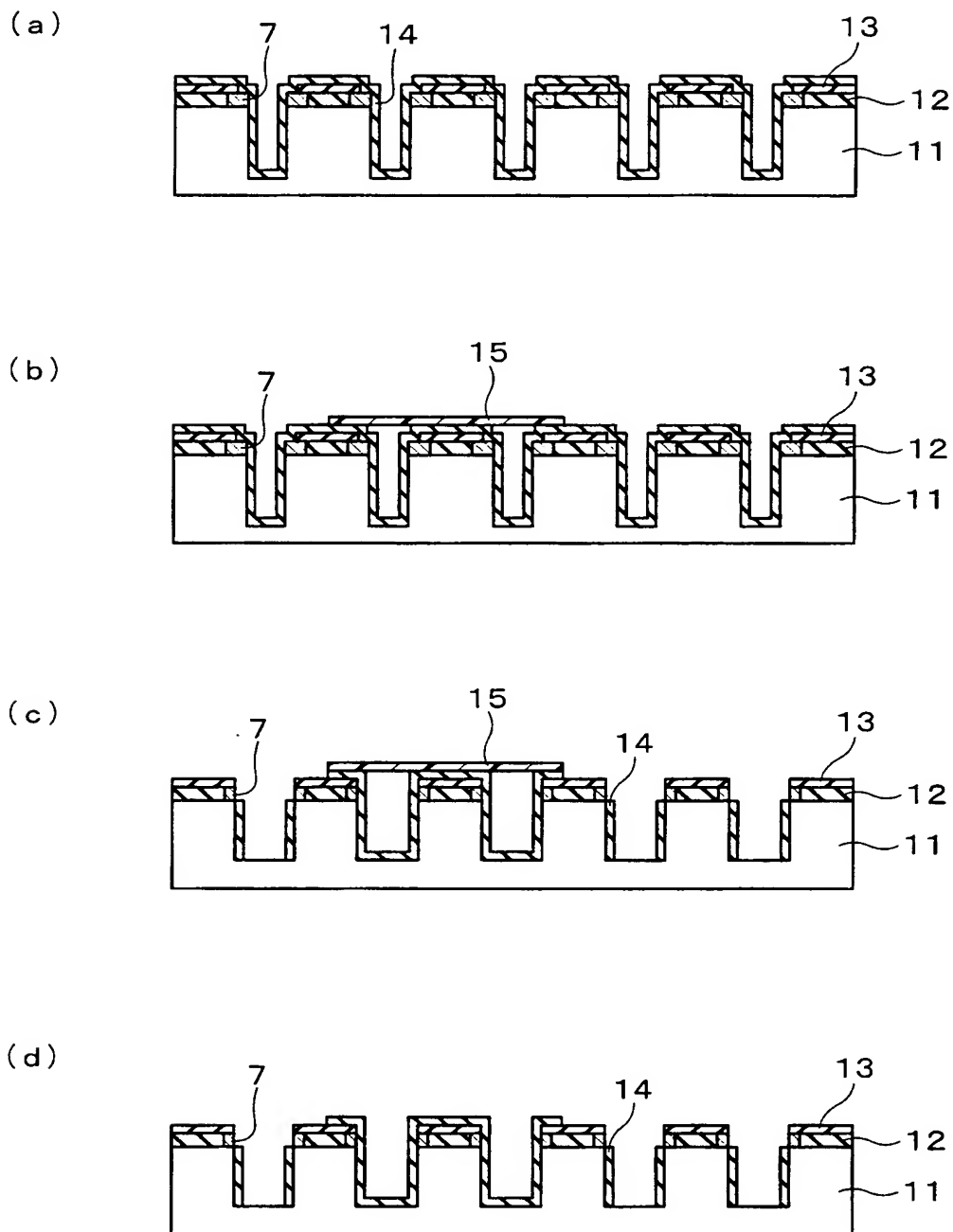
【図 3】



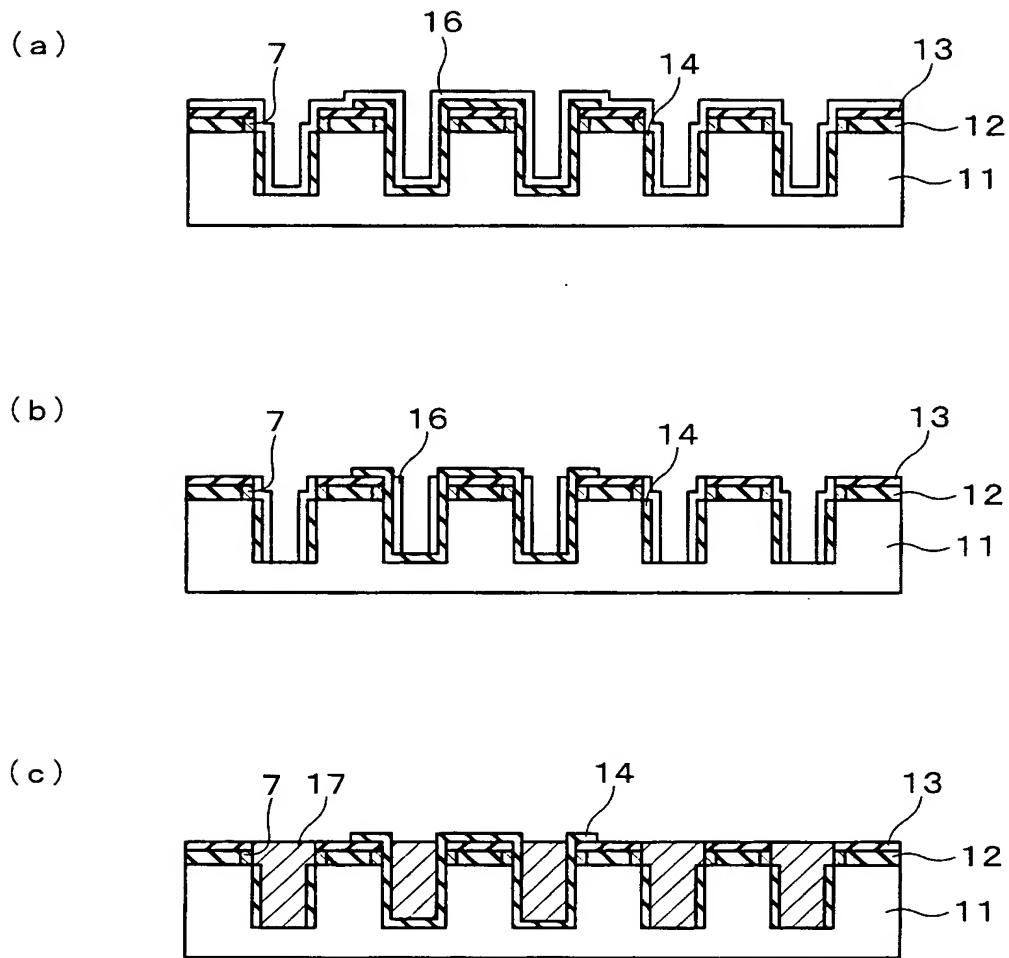
【図 4】



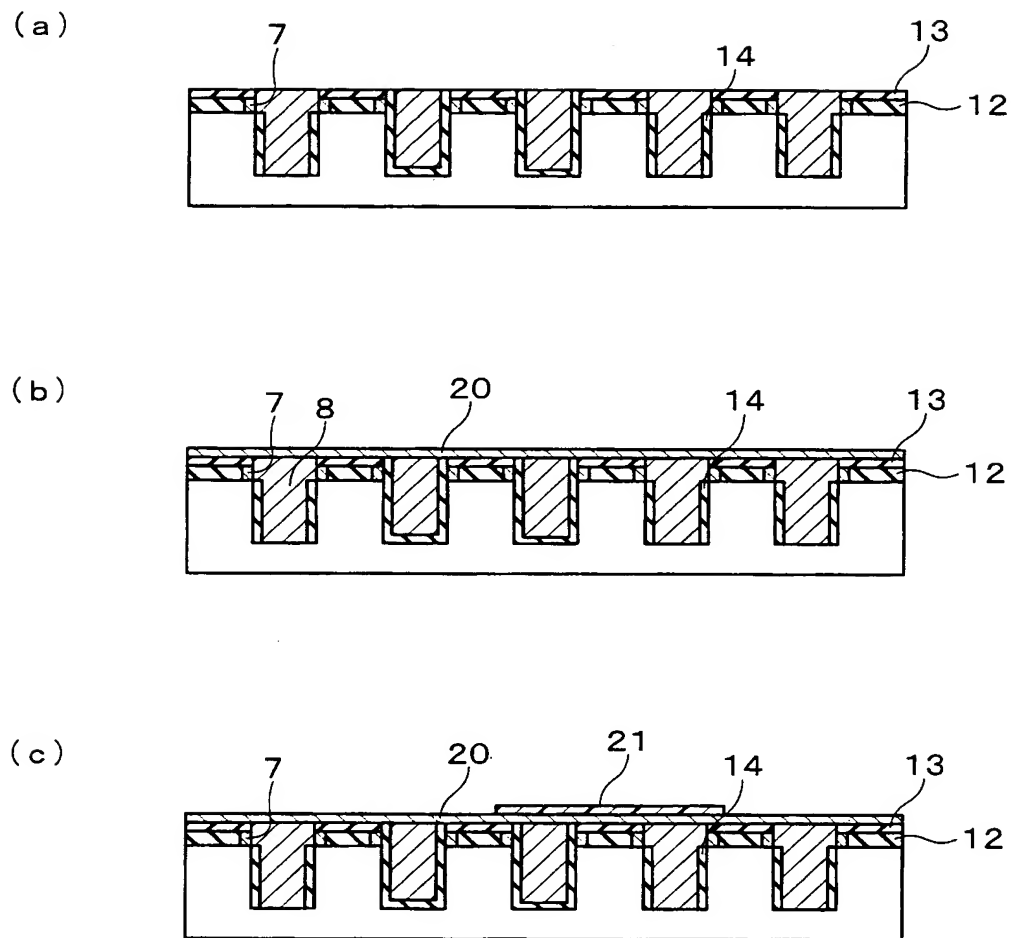
【図 5】



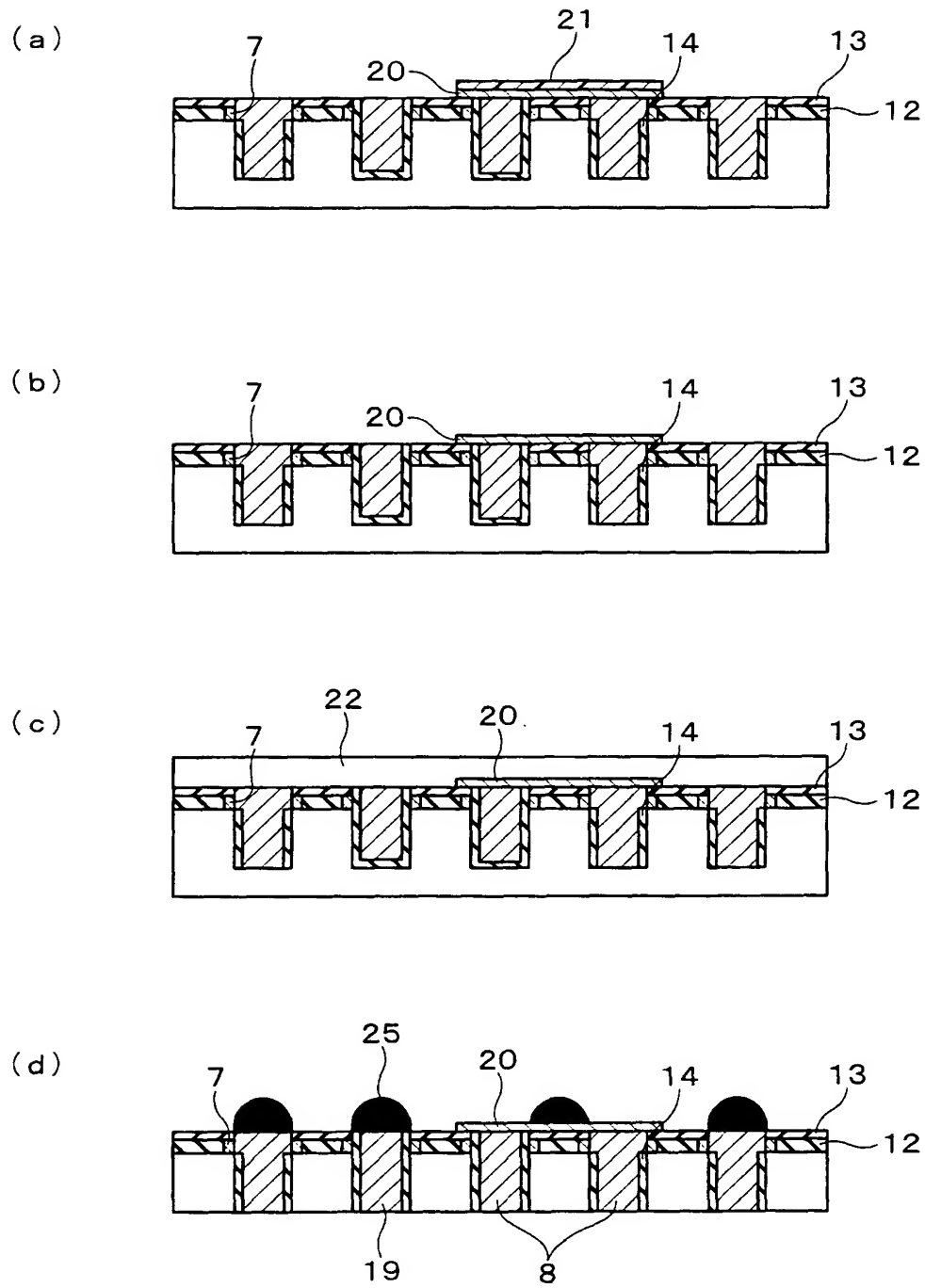
【図 6】



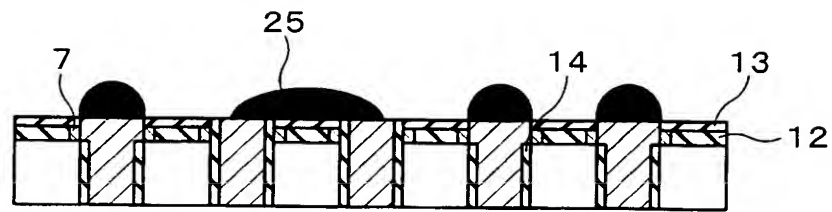
【図 7】



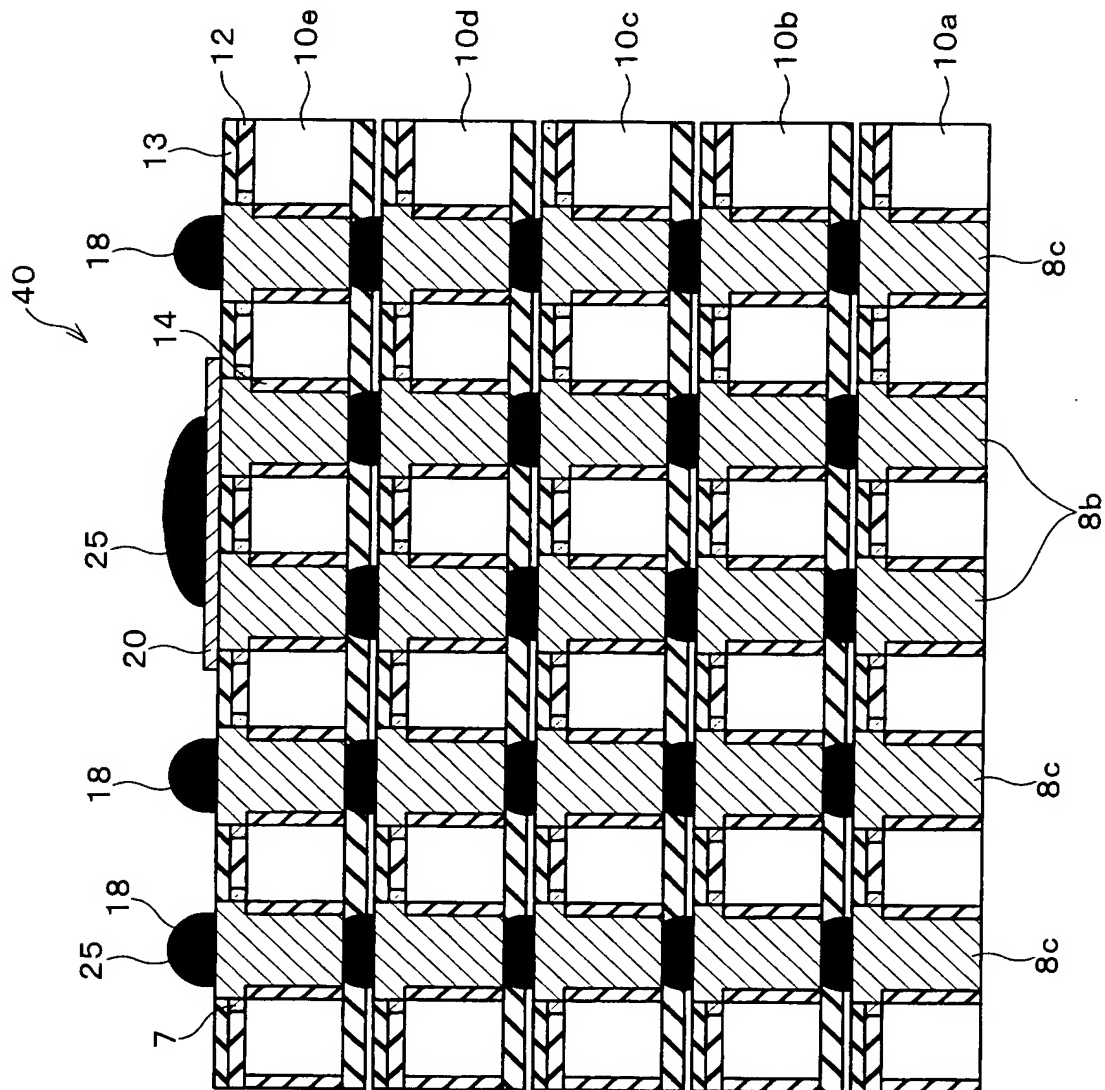
【図 8】



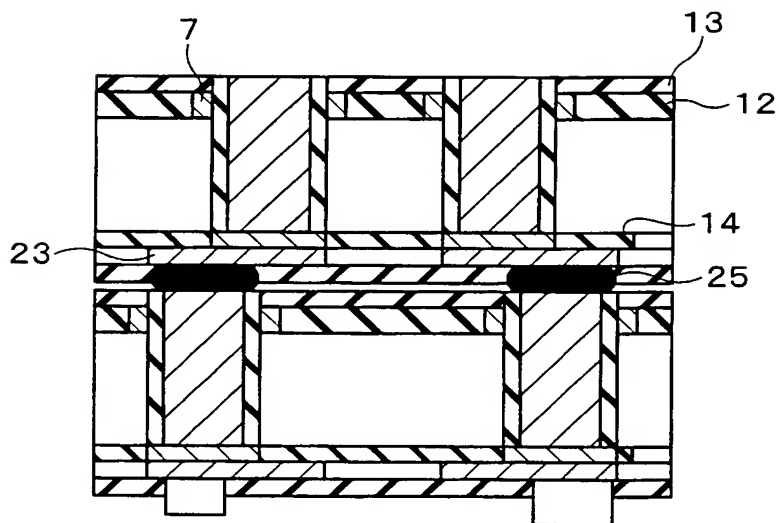
【図 9】



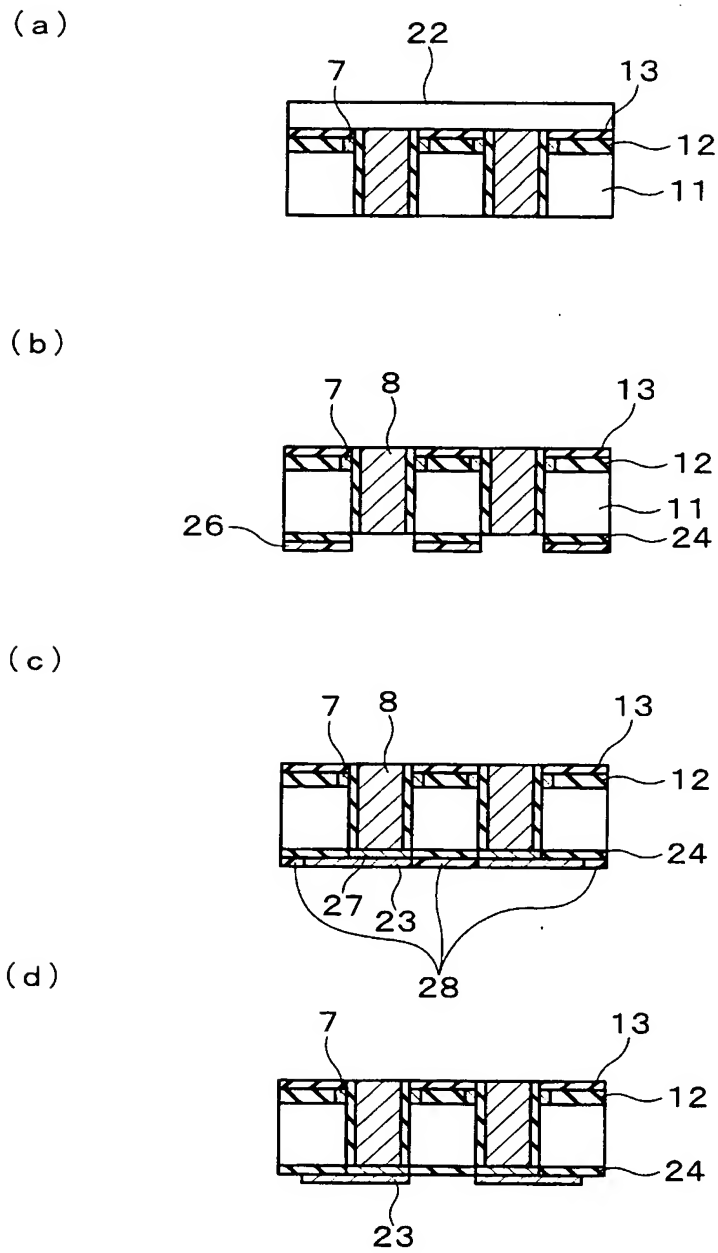
【図 10】



【図 11】

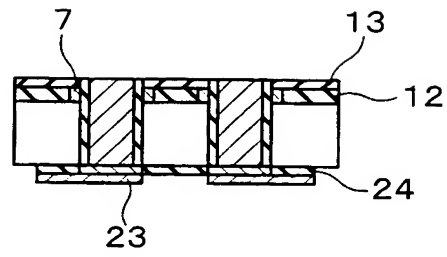


【図 12】

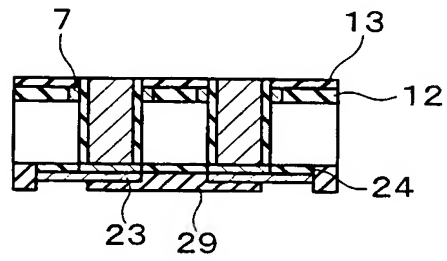


【図13】

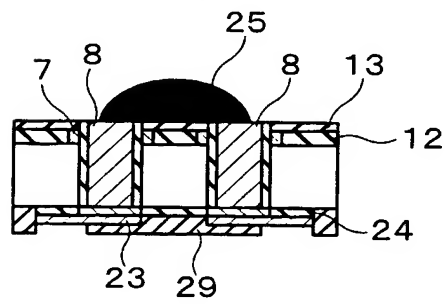
(a)



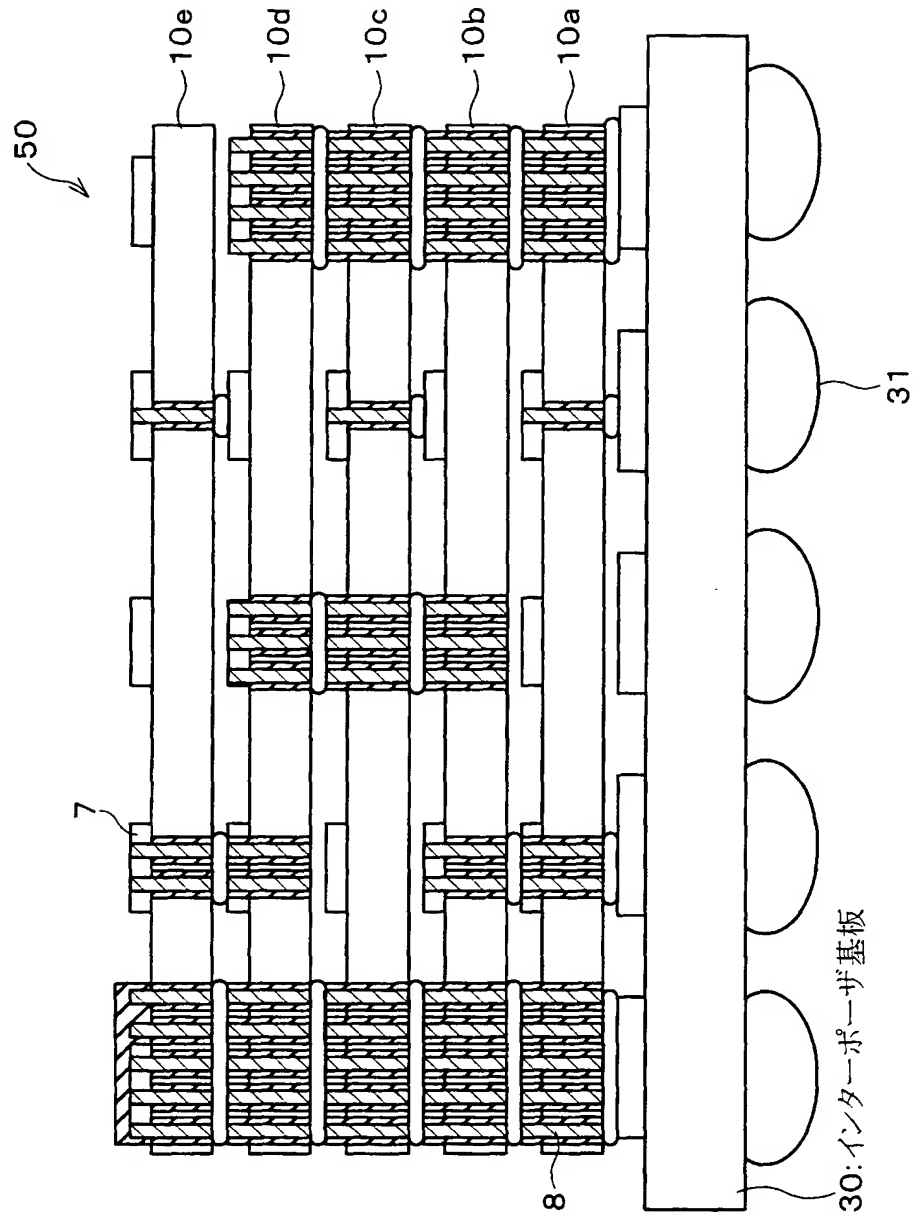
(b)



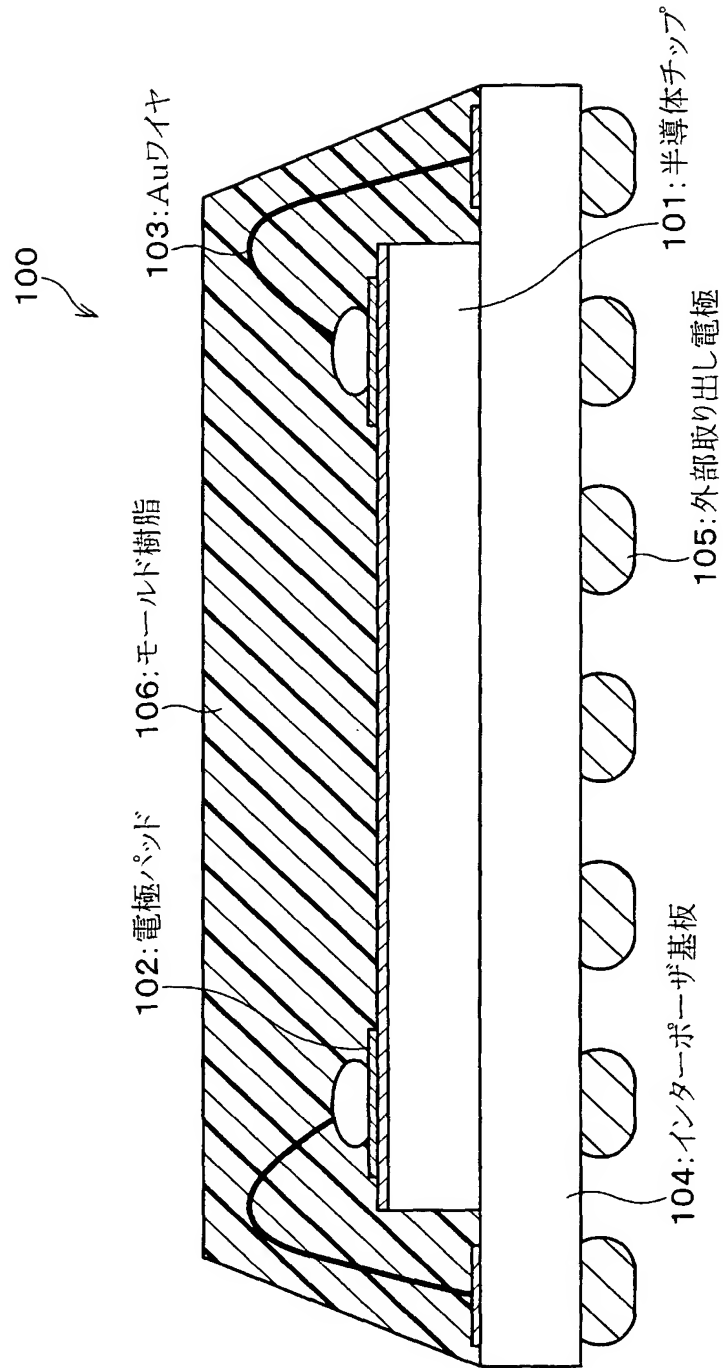
(c)



【図 14】

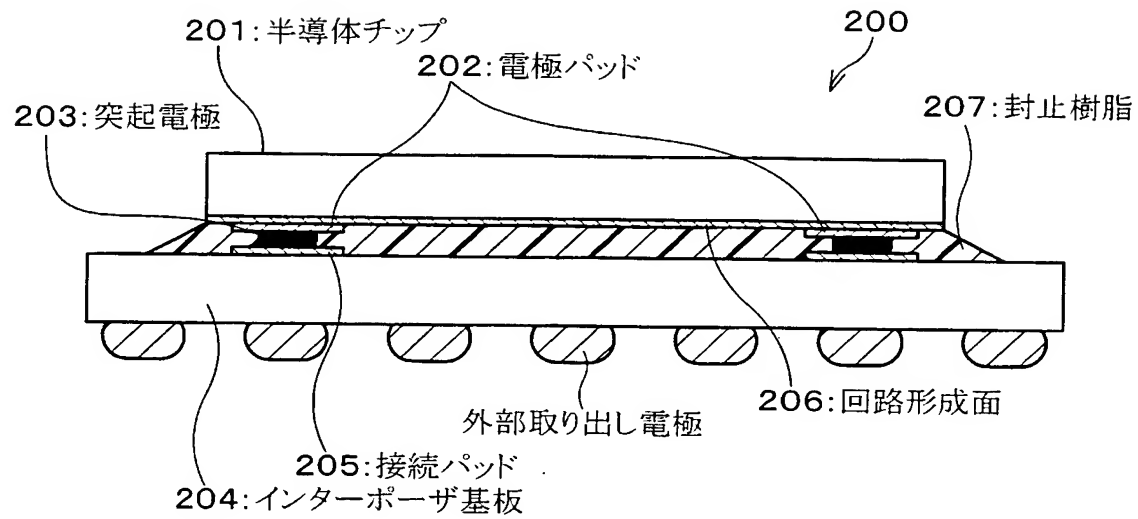


【図 15】

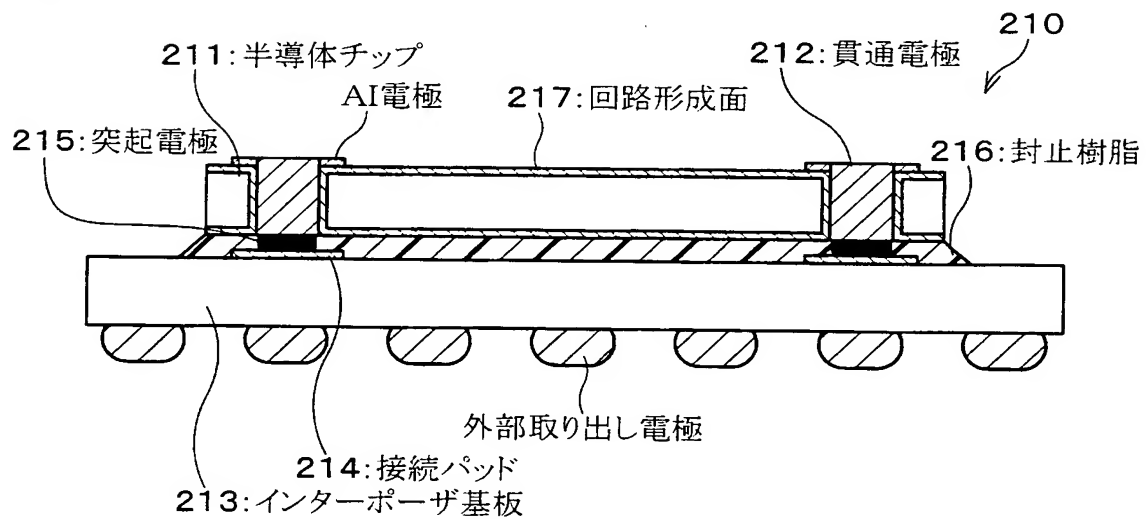


【図16】

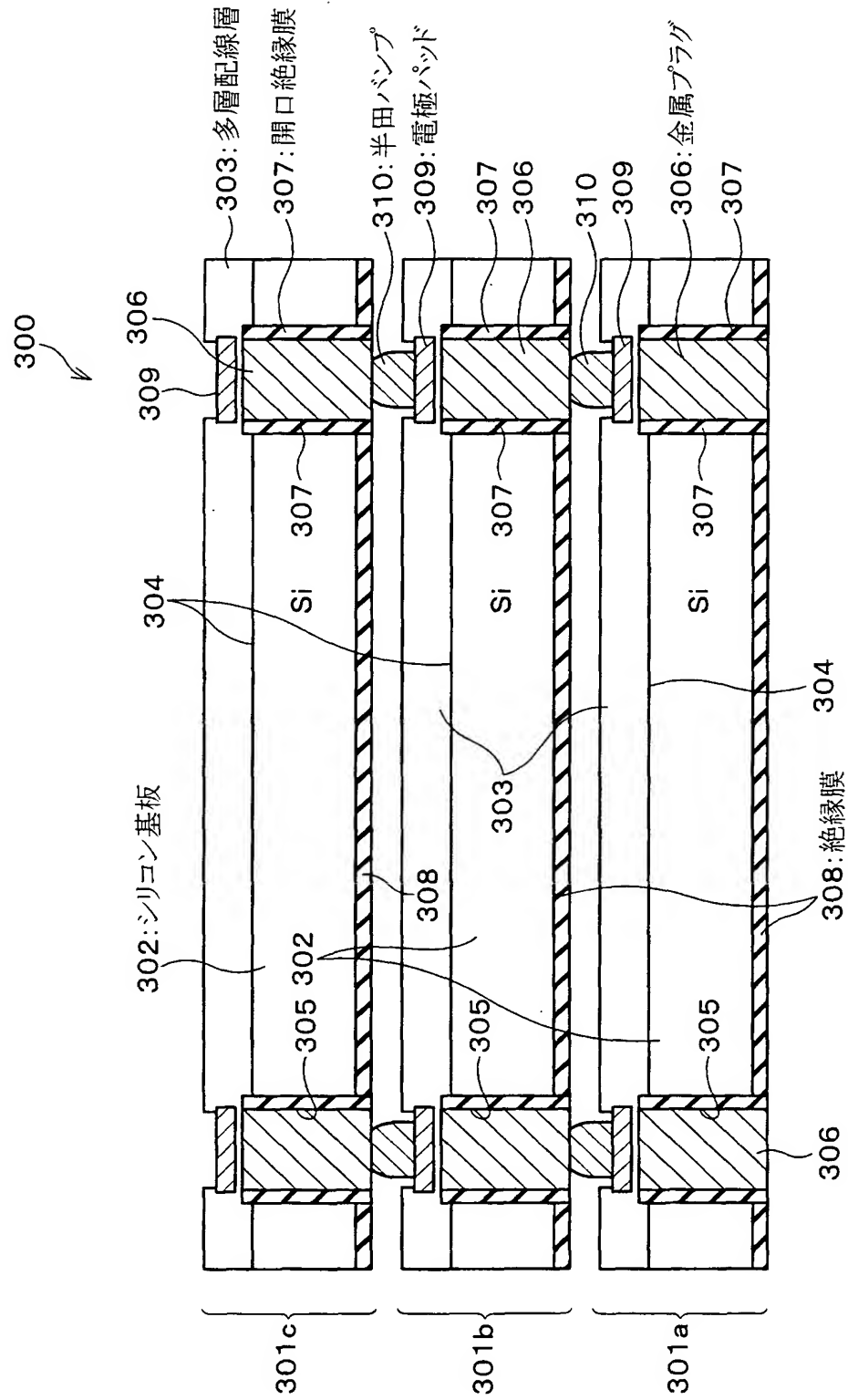
(a)



(b)



【図17】



【書類名】 要約書

【要約】

【課題】 電極の抵抗による極度の電圧降下や発熱、遅延、ロス及び電極の抵抗値のばらつきの発生を簡易に防止し得る半導体装置及び積層型半導体装置を提供する。

【解決手段】 半導体装置 1 0 は、半導体チップ 1 の表裏間を貫通する多数個の同一断面積の貫通電極 8 …を備える。貫通電極 8 は、同一信号に対してその流れる電流値の大きさに応じて複数個使用されている。

【選択図】 図 1

特願 2 0 0 2 - 3 1 3 5 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社